**数字电子技术**

**实验报告**

**小组成员： \*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***

**\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***

**\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***

**提交日期： 2023年6月13日**

实验一 组合逻辑电路的分析与测试

（一）

一、实验名称

分析、测试用与非门 CC4011 组成的半加器逻辑功能

二、实验仪器

CC4011，+5V 直流开关，逻辑电平显示开关，逻辑电平显示器

三、实验内容

（1）实验过程

a.根据电路写出电路逻辑表达式

b.根据表达式列出真值表

c.根据电路图，在试验箱选定两个14P插座，插好两片CC4011，并接好连线，A、B两输入接至逻辑开

关的输出插口。S、C分别接入逻辑电平显示输入插口。进行逻辑状态测试，与之前列出的真值表进行比较，观察是否一致。

（2）电路原理：

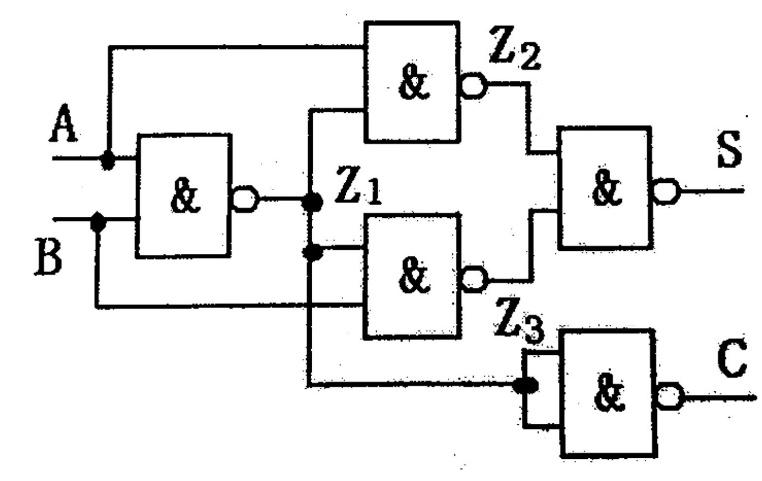
a.对两个输入数据位相加，输出一个结果位和进位；

b没有进位输入；

c.是实现两个一位二进制数的加法运算电路

这样，通过使用与非门（CC4011）组合，我们可以实现半加器的逻辑功能。

（3）电路图如下：与非门 CC4011 组成的半加器



（4）逻辑功能如下：逻辑式如下：

逻辑式如下：











四、实验结果

1. 与非门 CC4011 组成的半加器的真值表

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| A | B | Z1 | Z2 | Z3 | S | C |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |

五、实验总结

组合逻辑电路分析与测试实验需要仔细思考和耐心实验。输入与输出中间存在的门电路个数多而复杂，不易于结果的推导与检查，通过整合实验经验和总结的经验，可以帮助更好地完成实验，提高逻辑电路分析和测试的能力。

（二）

一、实验名称

分析、测试全加器的逻辑电路

二、实验仪器

CC4011，+5V 直流开关，逻辑电平显示开关，逻辑电平显示器

三、实验内容

(1)实验过程

a.根据电路写出电路逻辑表达式

b.根据表达式列出真值表

c.根据电路图，在试验箱选定三个14P插座，插好三片CC4011，并接好连线，Ai、Bi，Ci-1三个输入分别接至逻辑开关的输出插口。Si、Ci两个输出分别接至逻辑电平显示输入插口。进行逻辑状态测试，将测试结果与之前列出的真值表进行比较，观察是否一致。

（2）电路原理：

对于和位的计算：

1..首先，将A和B作为输入连接到与非门中，得到部分和。

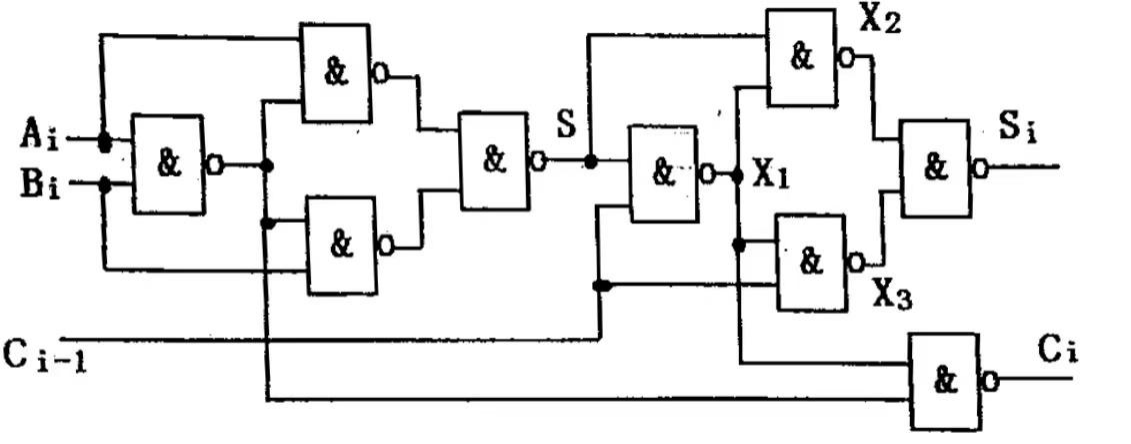
2.将部分和作为输入连接到另一个与非门中，得到和位。

对于进位的计算：

3..将A和B作为输入连接到与非门中，得到部分和。

4..将部分和作为输入连接到第三个与非门中，得到进位位。

（3）电路图如下：全加器



（3）逻辑功能如下：

.全加和：

.进位:

四、实验结果

1.全加器的真值表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Ai | Bi | Ci-1 | S | X1 | X2 | X3 | Si | Ci |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |

五、实验总结

组合逻辑电路分析与测试实验需要仔细思考和耐心实验。输入与输出中间存在的门电路个数多而复杂，不易于结果的推导与检查，通过整合实验经验和总结的经验，可以帮助更好地完成实验，提高逻辑电路分析和测试的能力。

实验二 组合逻辑电路的设计与验证

（一）

一、实验名称

1. 设计多路表决电路

2. 用集成八选一数据选择器 74LS151 设计一个判奇电路

二、实验仪器

与非门 CC4011、74LS151、+5V 直流开关、逻辑电平显示开关、逻辑电平显示器

三、实验内容

1.多数表决器

(1)实验过程

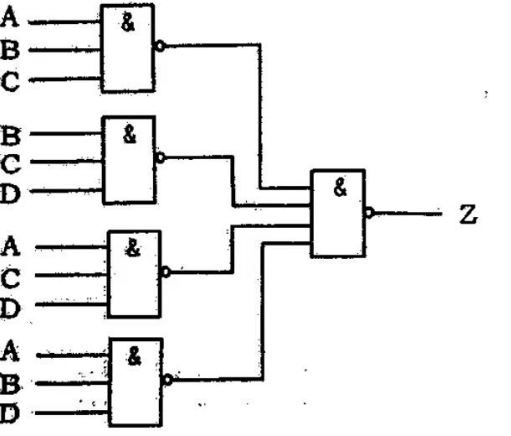
a..选定三个14P插座，按集成块定位标记插好CC4012

b..按照电路图连线，输入端A、B、C、D按至逻辑开关输出插口，输出端Z接逻辑电平显示输入插口，逐次改变输入变量，测量相应的输出值，验证逻辑功能，将实验结果与表2-1进行比较，验证所设计的逻辑电路是否符合要求。

（2）电路原理：

当三个及三个以上输入为1时，输出为1，否则为0

（3）电路图如下：表决电路逻辑图



（3）逻辑式如下：



1. 用集成八选一数据选择器74LS151设计一个判奇电路
2. 实验过程

a.根据题意列出真值表，由表得出输出Y的函数表达式。

b.将上式与74LS151的输出函数式相比较，对数据输入端进行赋值

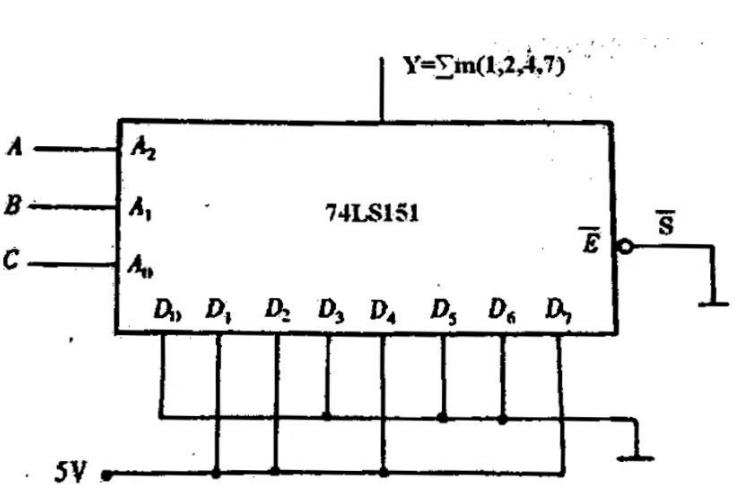
c.实现判奇电路，画出接线图

d.连接实验电路，测试逻辑功能是否符合要求

（2）电路原理

当输入为1的个数为奇数个时，输出为1；否则为0

（3）电路图如下：用74LS151实现的判奇电路



（4）逻辑式如下：



四、实验结果

1. 多数表决电路

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | D | Z |
| 0 | 0 | 0 | 0 |  |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

1. 判奇电路

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

五、实验总结

1. 审查测试结果：在测试电路输出时，应该仔细审查测试结果，以确保精度。
2. 小心实验误差：在实验过程中，由于仪器的误差或操作疏忽，可能会导致测试结果与预期结果不同。此时，需要仔细检查测试仪器和电路连接是否正确，或者重新检查逻辑函数的化简过程。
3. 关注电路复杂度：当电路变得复杂时，需要更严格地控制电路结构和线路布线，以避免故障和测试错误。

实验（二）

一、实验名称

用集成八选一数据选择器74LS151设计一个三输入多数表决电表

二、实验仪器

74LS151、+5V 直流开关、逻辑电平显示开关、逻辑电平显示器

三、实验内容

（1）实验过程

a.根据题意列出真值表，由表得出输出Y的函数表达式。

b将上式与74LS151的输出函数式相比较，对数据输入端进行赋值

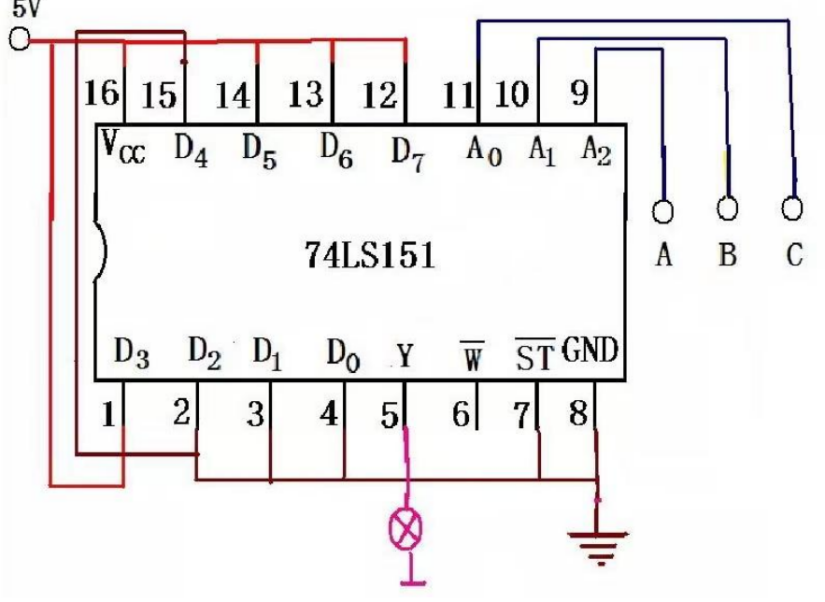
c.实现判奇电路，画出接线图

d.连接实验电路，测试电路逻辑功能是否符合要求

(2)电路原理：

若中两个及两个以上为1则输出为1，否则输出为0

(3)电路图如下：用74LS151实现的三输入多数表决电表



(4)逻辑式如下：



四、实验结果

三输入多数表决电表

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

五、实验总结

1. 审查测试结果：在测试电路输出时，应该仔细审查测试结果，以确保精度。
2. 小心实验误差：在实验过程中，由于仪器的误差或操作疏忽，可能会导致测试结果与预期结果不同。此时，需要仔细检查测试仪器和电路连接是否正确，或者重新检查逻辑函数的化简过程。
3. 关注电路复杂度：当电路变得复杂时，需要更严格地控制电路结构和线路布线，以避免故障和测试错误。

实验三 触发器逻辑功能分析与测试

（一）

一、实验名称

测试基本RS触发器的逻辑功能

二、实验仪器

+5V直流电源、CC4011、逻辑电平开关、逻辑电平显示器、单次脉冲源、译码显示器

三、实验内容

(1)实验过程

用两个与非门组成基本RS触发器，输入端、接逻辑开关的输入插口，输出端Q、接逻辑电平显示输入插口，按表要求测试数据并记录之。

（2）电路原理：

SR触发器是一种逻辑电路元件，它由两个交叉连接的锁存器门电路组成。设它的输入端口为S（SET，置位）和R（RESET，复位），输出端口为Q和 。SR触发器的状态由S和R的状态来决定，其状态值可以在输入端口上通过控制电压值来实现。

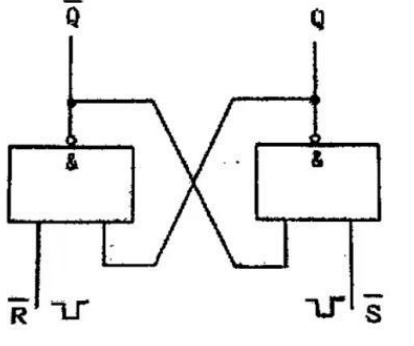
当S和R都为低电平时，SR触发器的状态将保持之前的状态，输出端口Q和 也不发生变化。

当S为高电平，R为低电平时，SR触发器的状态将被置位，输出端口Q为高电平， 为低电平。

当S为低电平，R为高电平时，SR触发器的状态将被复位，输出端口Q为低电平， 为高电平。

当S和R都为高电平时，SR触发器的状态是不确定的，在这种情况下，一些事件会在电路中发生，导致输出端口Q和 与之前的状态相反。

（3）电路图如下：用两个与非门组成基本RS触发器



（4）逻辑功能如下：



四、实验结果

基本RS触发器实验记录表

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | Q |  |
| 1 | 1→0 | 1 | 0 |
| 0→1 | 1 | 0 |
| 1→0 | 1 | 0 | 1 |
| 0→1 | 0 | 1 |
| 0 | 0 | 1 | 1 |

五、实验总结

在实验过程中，我们曾经忽视某个固定的值，导致实验结果不够准确。但很快我们发现了这个问题并重新记录了实验数据。实验过程中，有时候实验结果会与预期不同，这时候我们不能惊慌，也不能随意猜测，而应该认真阅读实验报告，并寻求老师或完成实验的同学的帮助。此外，实验中有许多线路和复杂的连接，为了解决这个问题，我们应将所有线路朝同一个方向，并将具有相同功能的线路涂上相同的颜色。

（二）

一、实验名称

测试JK触发器的逻辑功能

二、实验仪器

CC4027、+5V 直流电源、逻辑电平开关、逻辑电平显示器、单次脉冲源

三、实验内容

（1）实验过程

置D =D=1(或R=S=0),CP端接单词脉冲源，Q、端接至逻辑电平显示输入插口。按表的要求改变J、K、CP端状态，观察Q、状态变化，观察触发器状态更新是否发生在CP脉冲的下降沿（即CP由1->0）,记录之。

（2）电路原理：

JK触发器是一种数字电路元件，可用于存储和传输二进制位信息。它具有两个输入引脚：J（置位）和K（复位），以及两个输出引脚：Q和（Q的补码）。

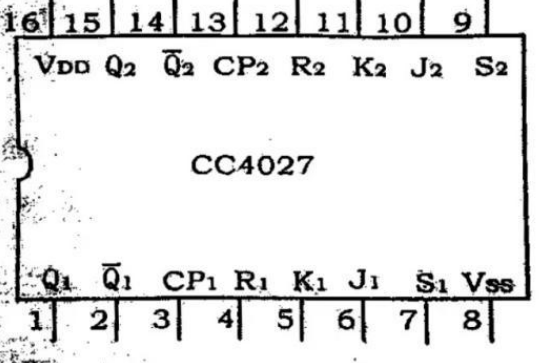
当输入J和K都为低电平时（0），JK触发器的状态保持不变，输出Q和也将保持之前的状态。

当J为高电平（1），K为低电平（0）时，JK触发器的状态被置位，输出Q为高电平（1），而输出则为低电平（0）。

当J为低电平（0），K为高电平（1）时，JK触发器的状态被复位，输出Q为低电平（0），而输出为高电平（1）。

当J和K都为高电平（1）时，JK触发器的状态被翻转（如果之前为置位，则变为复位；如果之前为复位，则变为置位），输出Q和的状态也翻转。

（3）电路图如下： 用74LS112测试JK触发器逻辑功能



（4）逻辑功能如下：



四、实验结果

测试JK触发器实验记录表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| J | K | CP |  | |
|  |  |
| 0 | 0 | 0→1 | 0 | 1 |
| 1→0 | 0 | 1 |
| 0 | 1 | 0→1 | 0 | 0 |
| 1→0 | 0 | 0 |
| 1 | 0 | 0→1 | 1 | 1 |
| 1→0 | 1 | 1 |
| 1 | 1 | 0→1 | 1 | 0 |
| 1→0 | 1 | 0 |

五、实验总结

在实验过程中，我们曾经忽视某个固定的值，导致实验结果不够准确。但很快我们发现了这个问题并重新记录了实验数据。实验过程中，有时候实验结果会与预期不同，这时候我们不能惊慌，也不能随意猜测，而应该认真阅读实验报告，并寻求老师或完成实验的同学的帮助。此外，实验中有许多线路和复杂的连接，为了解决这个问题，我们应将所有线路朝同一个方向，并将具有相同功能的线路涂上相同的颜色。

实验四集成触发器应用

（一）

一、实验名称

用两片双 D 触发器构成 4 位数码寄存器

二、实验仪器

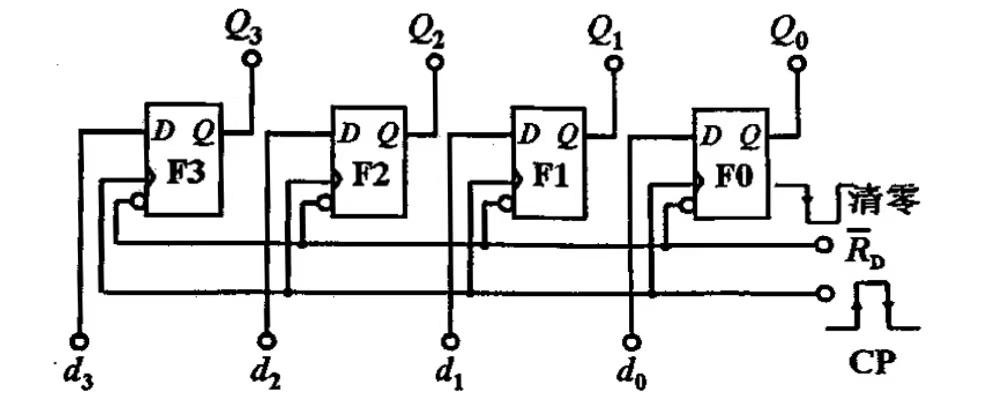
CC4013、+5V 直流电源、逻辑电平开关、逻辑电平显示器、单次脉冲源、译码显示器

三、实验内容

电路原理：

四个待存的数码d3、d2、d1、d0与4个D触发器的D端相接。工作时首先给各个触发器的异步清零端加一个负脉冲，将它们清零；当各个触发器的时钟输入端加一个正脉冲时，4 个触发器的状态Q3、Q2、Q1、Q0分别与 4 位数码d3、d2、d1、d0相同，实现数码存入功能。当时钟脉冲撤去时，4 个与门打开，4 位数码分别从 4 个与门输出，数码d3、d2、d1、d0即被保存在寄存器中。

电路图如下：



逻辑功能如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Qn |  | Qn+1 | |  |
| D = 0 |  |  | D= 1 |
| 0 | 0 |  |  | 1 |
| 1 | 0 |  |  | 1 |

四、实验结果

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| d3、d2、d1、d0 | d3 | d2 | d1 | d0 |
| 1001 | 1 | 0 | 1 | 1 |
| 1110 | 1 | 1 | 1 | 0 |
| 0110 | 0 | 1 | 1 | 0 |

五、实验总结

两片双 D 触发器分别对应Q3、Q2、Q1、Q0，应当注意触发器的输出端顺序。在测试时，单次脉冲输出有一个无法正常使用，更换另一个插口测试成功。在确定自己操作无误时仍出现问题，可能是设备出现了故障。

（二）

一、实验名称

用两片双 JK 触发器构成单向左移移位寄存器

二、实验仪器

CC4027、+5V 直流电源、逻辑电平开关、逻辑电平显示器、单次脉冲源、译码显示器

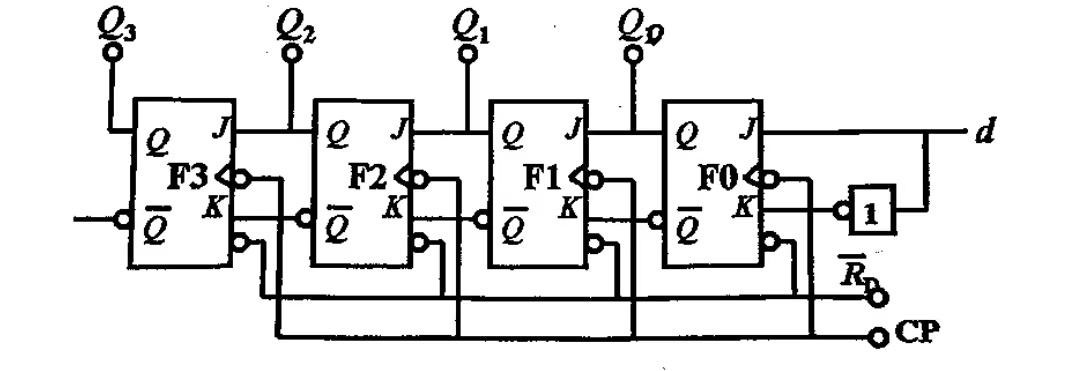
三、实验内容

电路原理：

R为正脉冲清零端，各触发器CP 连在一起做移位脉冲控制端，最高位触发器转换成D触发器，D端做串行数码输入端，其余各触发器也具有D触发器的功能,工作时首先给各个触发器的异步清零端加一个负脉冲，将它们清零；然后数码d在时钟脉冲CP的作用下向左依次地被移入各个触发器中，每加一个脉冲数码d左移一位,经过 4 个

CP后4位数据全部存人寄存器。

电路图如下：



逻辑功能如下：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | CP | J | K | Qn+1 |
| 0 | 1 | × | × | × | 0 |
| 1 | 0 | × | × | × | 1 |
| 1 | 1 | ↓ | 0 | 0 | Qn |
| 1 | 1 | ↓ | 0 | 1 | 0 |
| 1 | 1 | ↓ | 1 | 0 | 1 |
| 1 | 1 | ↓ | 1 | 1 |  |

四、实验结果

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Q3 | Q2 | Q1 | Q0 | d | CP |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 2 |
| 0 | 1 | 0 | 1 | 1 | 3 |
| 1 | 0 | 1 | 1 | 1 | 4 |

五、实验总结

实验线路较为复杂，在设计接线时应当有顺序的接入导线、合理安排接入长短不同的导线，提高实验效率。

（三）

一、实验名称

用两片双D触发器构成4位二进制异步计数器

二、实验仪器

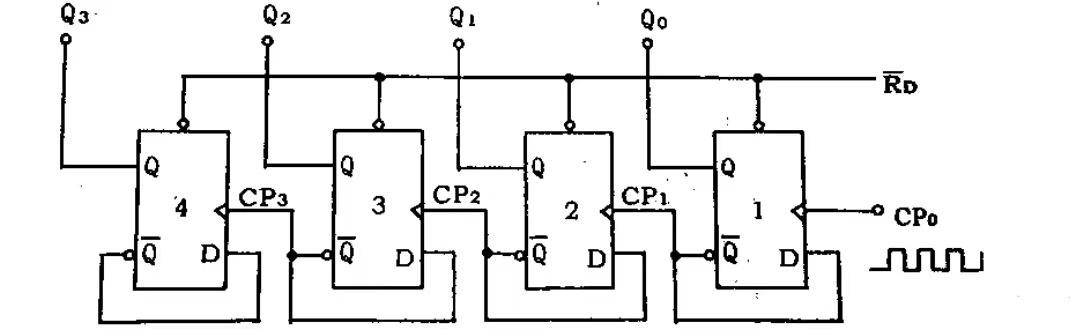
CC4013、+5V 直流电源、逻辑电平开关、逻辑电平显示器、单次脉冲源、译码显示器

三、实验内容

电路原理：

触发器具有0和1两种状态，因此用一个触发器就可以表示一位二进制数。如果把n个触发器串起来，就可以表示n位二进制数。用四只 D 触发器构成的四位二进制异步加法计数器，它的连接特点是将每只 D 触发器接成 T 触发器，再将低位触发器的端和相邻高位的CP端相连接构成。计数脉冲由CP0接入。

电路图如下：



四、实验结果

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CP | Q3 | Q2 | Q1 | Q0 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 |
| 11 | 1 | 0 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 |
| 14 | 1 | 1 | 1 | 0 |
| 15 | 1 | 1 | 1 | 1 |

五、实验总结

线问题，实验最初有部分二进制数显示有误，重新接线后解决了此问题。

实验五集成计数器逻辑功能测试及其应用

（一）

一、实验名称

用一片 74LS161 和一片集成与非门 CC4012 组成十一进制加法计数器

二、实验仪器

74LS161、CC4012、+5V 直流电源、逻辑电平开关、逻辑电平显示器、连续脉冲源

三、实验内容

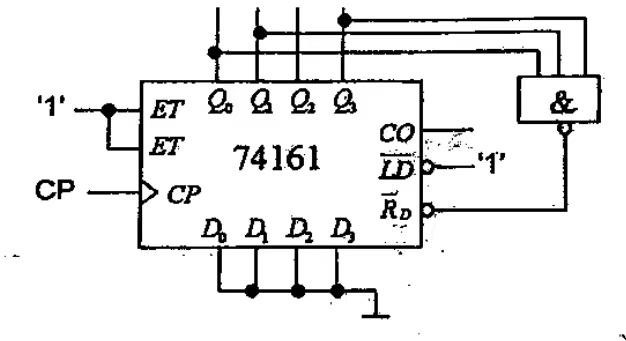
电路原理：

1.获得所需进制的计数器

2.对于N 进制计数器，若需得到一个 M 进制计数器，当 M<N 时，可用复位法，使计数器计数到 M 时被置“0”，即可获得 M 进制计数器。

3.本实验中，已有四位二进制同步加法计数器 74LS161。当输入端计数至 11 时，选取合适引脚进行与非门连接，并将结果输出至置数端。通过同步置数功能，将计数器置“0”，即可实现所需 10 进制计数器。

电路图如下：



逻辑式如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CP |  |  | ED ET | 工作状态 |
| × | 0 | × | × × | 置零 |
| ↑ | 1 | 0 | × × | 置数 |
| ↑ | 1 | 1 | 1 1 | 计数 |

四、实验结果

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入脉冲 | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |
| 输出 | Q3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| Q2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| Q1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| Q0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |

五、实验总结

本组实验中极易混淆的是对于不同芯片的置零、置数功能的同步、异步设计。

（二）

一、实验名称

用两片 CC40192 和一片集成与非门 CC4012 组成十二进制加法计数器

二、实验仪器

CC40192、CC4011、+5V 直流电源、逻辑电平开关、逻辑电平显示器、连续脉冲源

三、实验内容

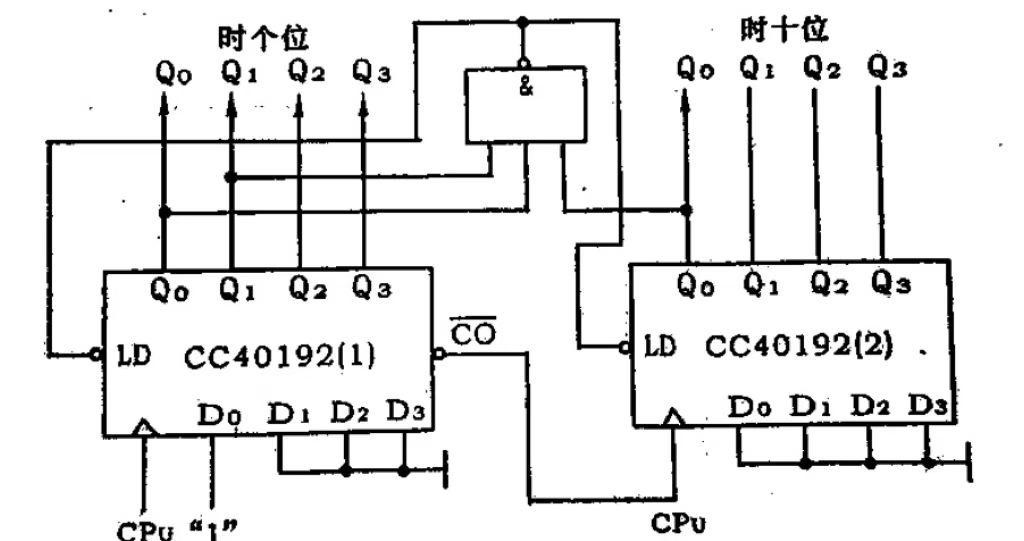
电路原理：

1.预置数功能获得M进制计数器；

2.CC40192芯片采取异步置数的方式，故当整体计数到13时，通过与非门产生一个复位信号，使得高位（十位）立刻被置为0000，低位（个位）立刻被置为0001，从而实现从1到12的计数；

3.状态“13”只是一闪而过，因而不会对计数效果产生影响。

电路图如下：



逻辑式如下：

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | | | | 输出 | | | |
| CR |  | 𝐶PU | 𝐶PD | D3 | D2 | D1 | D0 | Q3 | Q2 | Q1 | Q.0 |
| 0 | 0 | × | × | D | c | B | a | d | c | B | a |
| 0 | 1 | ↑ | 1 | × | × | × | × | 加计数 | | | |

四、实验结果

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入脉冲 | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 |
| 输出 | Q3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| Q2 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| Q1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| Q.0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
|  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

五、实验总结

本实验较为简单，但要注意两片芯片的置数端置数不相同。状态“13” 由于其一闪而过而不会对效果造成影响。对于应该从何范围到何范围这个问题，本小组通过实践尝试，使其得到高效解决。

（三）

一、实验名称

用一片 74LS161 和一片集成与非门 CC4011 组成十进制加法计数器

二、实验仪器

74LS161、CC4011、+5V 直流电源、逻辑电平开关、逻辑电平显示器、连续脉冲源

三、实验内容

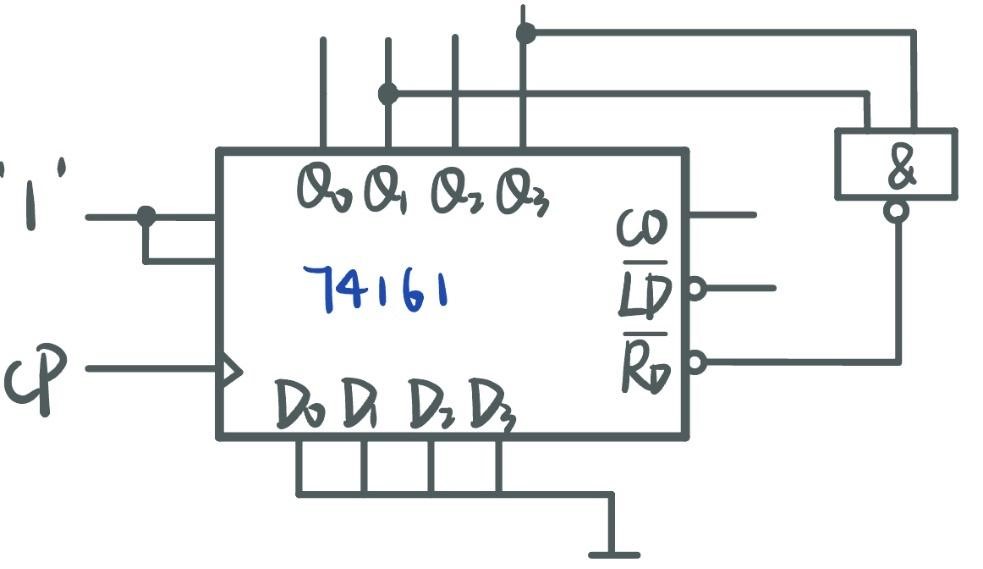
电路原理：

1.得所需进制的计数器

2.LS161芯片具有同步置数功能。当置数端为低电平，为高电平时，计数脉冲上升沿一到，预置数据直接从并行置数端D0、D1、D2、D3、置入计数器。

3.实验中，当输入端计数至 11 时，选取0、1、3引脚进行与非门连接，并将结果输出至置数端。通过同步置数功能，将计数器置“1”。

电路图如下：



逻辑式：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CP |  |  | ED ET | 工作状态 |
| ↑ | 1 | 0 | × × | 置数 |
| ↑ | 1 | 1 | 1. 1 | 计数 |

四、实验结果

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入脉冲 | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 输出 | Q3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| Q2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| Q1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| Q0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |

五、实验总结

本实验较为简单，考察的是置数功能的使用。小组使用了从 0000 到

1010 的范围进行置数，当输入端为 1010 时，置数端收到置数信号。

（四）

一、实验名称

用两片 CC40192 设计一个一百进制减法计数器，实现由 99-00 的递减计数

二、实验仪器

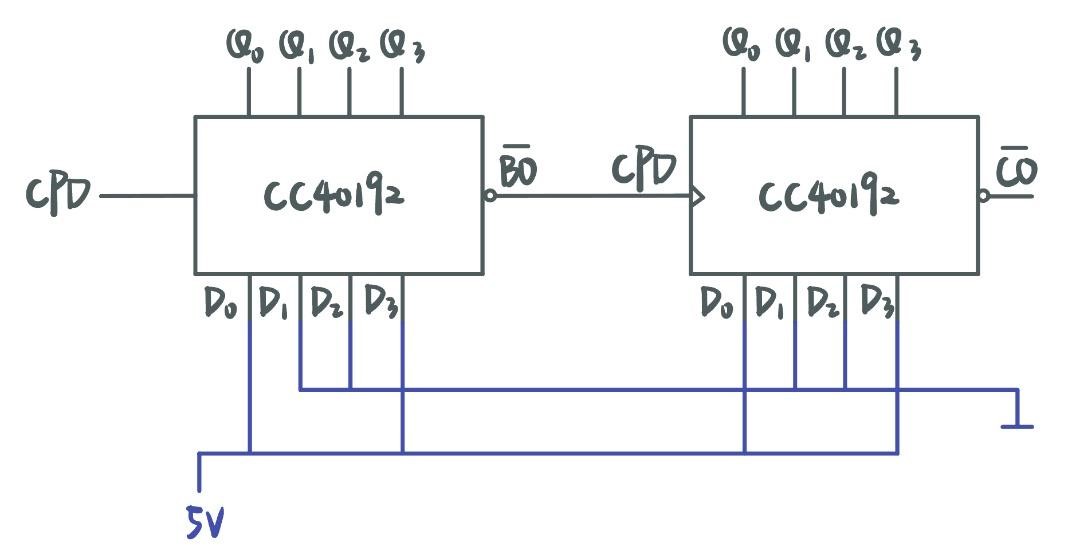
CC40192、+5V 直流电源、逻辑电平开关、逻辑电平显示器、连续脉冲源

三、实验内容

电路原理：

1. 利用CC40192 的减计数功能连线方式实现位数的减计数
2. 在本实验中，使两片芯片分别表示低位和高位，并按照减计数的功能进行连线。当低位芯片从 9 变化到 0 时，向表示高位的芯片的𝐶引脚传递一个计数，从而实现位数的升降。

电路图如下：



逻辑式如下：

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | | | | 输出 | | | |
| CR |  | 𝐶PU | 𝐶PD | D3 | D2 | D1 | D0 | Q3 | Q2 | Q1 | Q0 |
| 0 | 0 | × | × | d | C | B | a | d | c | b | a |
| 0 | 1 | 1 | ↑ | × | × | × | × | 减计数 | | | |

四、实验结果

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入脉冲 | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 输出 | Q3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| Q2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| Q1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| Q0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| ←←←←←←←←←←减法计数←←←←←←←←← | | | | | | | | | | | | |

五、实验总结

本实验电路连接后，会出现多次接通电源，而初始值有时为 89、有时为 99 的情况。但是对于倒计数功能而言并无太大影响，因为电路显示会轮回。

实验六 数字钟设计

一、实验名称

设计24H的时钟及其他功能

二、实验仪器

虚拟仿真软件Multisim

三、实验内容

1.设计一个24小时制数字钟，显示时、分、秒

实验中使用了多个74LS160十进制加法计数器，晶体振荡器产生的脉冲经过集成电路后成为1Hz脉冲，再由74LS160计数器获得所需的1Hz稳定脉冲。标准的秒脉冲通过控制门进入计数器并显示其计数值，当计数达到60时，获得进位“分钟脉冲”，同时秒计数器自动清零。将“分钟脉冲”传入分钟定时器后，以同样的方式获得“时间脉冲”。

2.为数字钟增加手动校正时、分的功能

数字时钟在实际工作中，有时可能会出现一定的偏差，这时就需要对数字时钟的时间进行校正，在设计过程中，我们的思路是在时间计数器和子计数器的进位端和CLK端增加一个开关，并将CLK连接到VCC;在时间计数器和子计数器的计数控制端，先开关后接VCC;同时，在“秒脉冲”和“分钟脉冲”传输线上设置开关，在手动校准时断开路径，防止进位脉冲干扰校准结果。

3.为数字钟增加整点报时功能（灯泡亮一秒钟）

为了实现数字时钟的小时报时功能，我们分析了当数字时钟的秒、分计数器达到59时，其个位数为1001，十位数为0101，因此在电路设计过程中，我们可以使用两个与非门将分计数器和秒计数器中的1进行连接，然后接入一个与门，最后接入一个小灯泡。通过观察灯泡的变化来判断是否实现了小时报时信号功能。

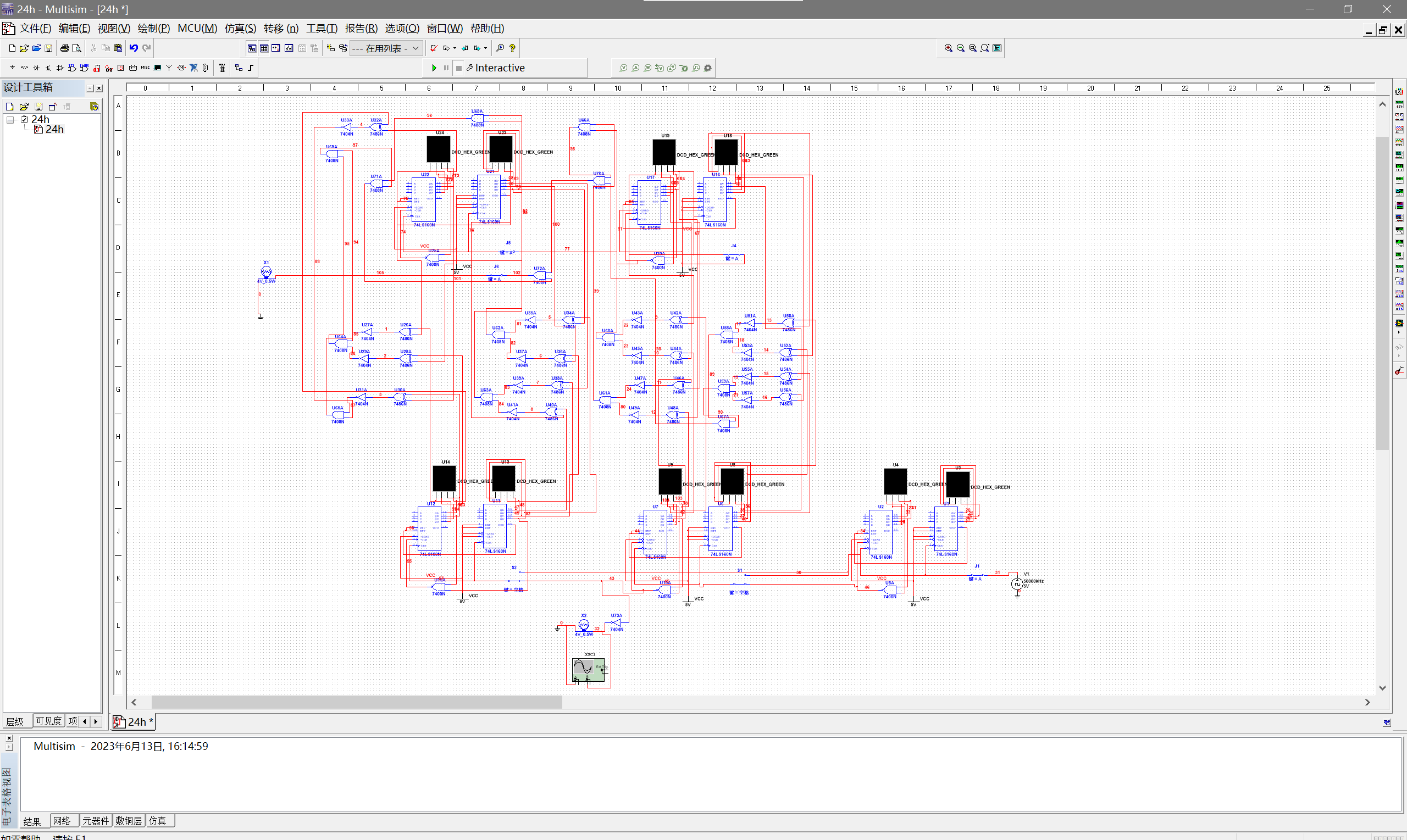
4.为数字钟增加闹钟的功能（小灯泡亮一分钟）

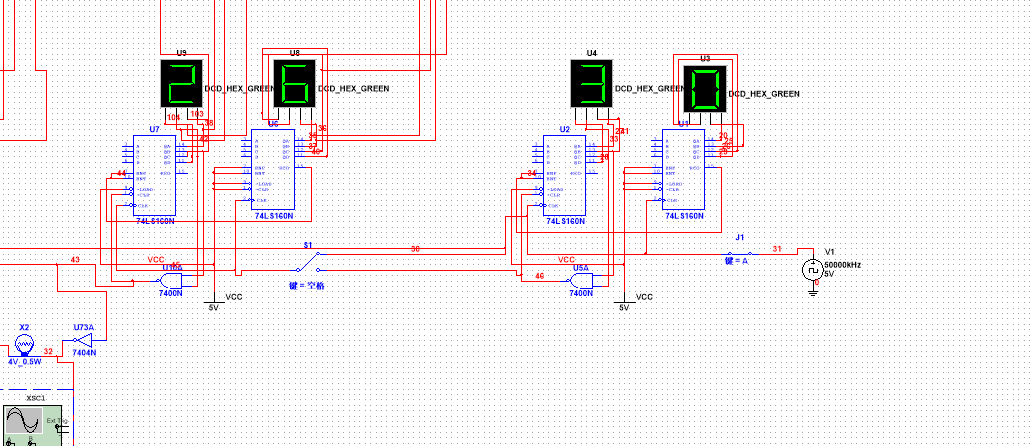
首先提前设置一个数字时钟闹钟，然后启动数字时钟，把时计数器和分计数器的四片 74LS160 的输出端Q3、Q2、Q1先各自接入一个或非门，然后连接四个或非0门接入与门，最后连接到小灯泡观察小灯泡的亮暗变化是否达到设计的闹钟的时间变化，和维持灯泡常亮一分钟。

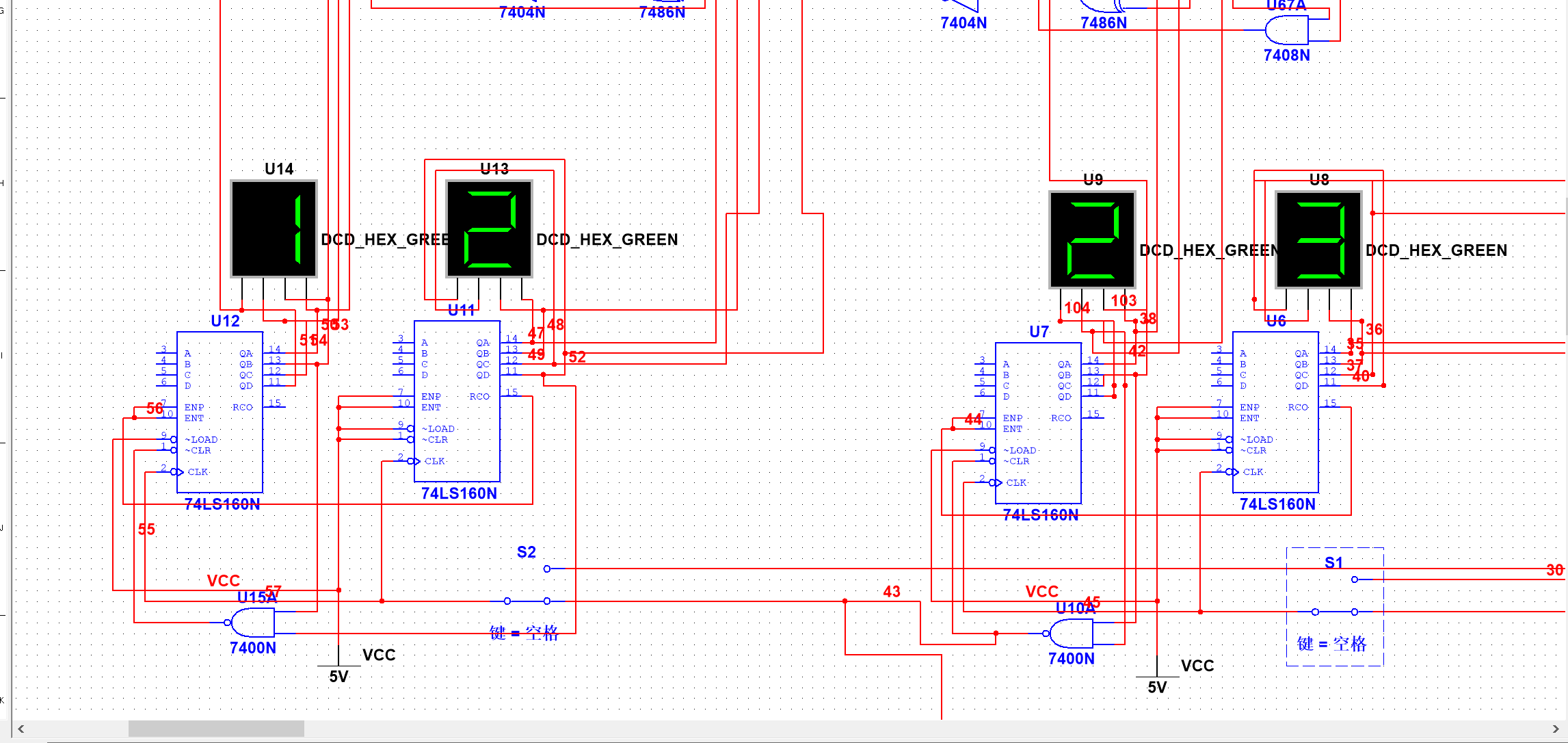
5.补充功能——日期功能

再通过两个个74LS160十进制加法计数器，当时计数达到24时，获得日期进位，并清零时位，同时，初始化日期位位01-01，在日期技术达到30时，获得月份进位，因月份不同，暂时按30天为一进制。

四、实验结果







五、实验总结

在实验中用74LS160利用Multisim软件设计数字时钟等功能时，可能会出现以下问题：1.计数器可能无法进行正确的十进制计数。解决方式：检查计数器的使能输入引脚(ENP, ENT)和复位引脚(RCO)的连接，以确保它们正确连接到逻辑门或其他逻辑电路。2.显示器不能正确显示计数值：如果使用数码管或其他显示设备来显示计数值，则可能存在显示错误或不显示的问题。解决方式：检查显示器的连接和驱动电路，确保计数器的输出引脚连接正确，并根据需要驱动数码管。3.有时时钟信号不正常：时钟信号可能无法正确触发计数器计数。解决方式：我们需要检查时钟信号源和连接，以确保时钟频率和波形设置正确。也可以使用示波器工具检查时钟信号的波形和频率是否正确。4. 仿真结果与预期不一致：仿真时，结果可能与预期不一致。这可能是由错误的电路连接、不正确的输入信号设置或不准确的模型参数引起的。解决方式仔细检查电路连接和参数设置，以确保它们与设计规范一致。